***I CPLD***



I dispositivi ***CPLD*** (Compìex PLD) hanno, contrariamente agli FPGA***, architettura a grana grossa*,** cioè contengono un numero relativamente ridotto di blocchi logici (al massimo 100, mentre quelli delle FPGA possono arrivare anche fino a 100000) che hanno dimensione molto maggiore rispetto ai blocchi funzionali degli FPGA. Ciascuno dei blocchi logici del CPLD può essere connesso agli altri blocchi o ai piedini di ingresso/uscita del componente per mezzo di una matrice di connessione simile a quella degli FPGA. La programmazione delle interconnessioni e della funzione logica da assegnare a ciascuno dei blocchi è effettuata per mezzo di un programma residente in un'apposita area di memoria di tipo E2PROM, una memoria non volatile che consente al dispositivo di evitare la fase di start-up.

La presenza di un minor numero di blocchi funzionali rende il CPLD più veloce, ma gli permette di realizzare funzioni logiche di dimensioni ridotte rispetto a un FPGA. La scelta di un componente CPLD risulta allora ottimale per la logica di decodifica di un micro­processore, nella quale è importante il tempo di risposta; la scelta di un dispositivo FPGA è invece più indicata per la realizzazione di automi complessi in cui sono neces­sari contatori binari e blocchi che svolgono funzioni aritmetiche, come i comparatori o i sommatori.