***Struttura di una RAM***

Ciascuna delle locazioni di memoria presenti nella struttura è indirizzabile direttamente per mezzo di un *indirizzo di riga*,che consente di individuare in modo univoco una sola riga, e di un *indirizzo di colonna,* che consente di individuare in modo univoco una sola colonna. I due indirizzi, quello di riga e quello di colonna, sono però forniti al dispositi­vo per mezzo delle stesse linee, per diminuire in maniera significativa il numero dei pie­dini del dispositivo integrato.

Per poter fornire sulle stesse linee due indirizzi diversi, quello di riga e quello di colon­na, è necessario però utilizzare un protocollo di comunicazione, detto *a partizione di tempo*: si deve dapprima porre sulle linee l'indirizzo di riga e attivare il segnale di RAS *(Row Access Strobe)* per consentire al dispositivo di acquisirlo; in un istante successivo si deve porre sulle linee l'indirizzo di colonna e attivare il segnale di CAS *(Column Access Strobé).*

Utilizzando il metodo di multiplexing dell'indirizzo, un'ipotetica memoria DRAM con capacità 16 Mbit e organizzazione 16 M x 1 necessita di 24/2 = 12 pin di indirizzo, 1 pin per l'ingresso dei dati e 1 pin per l'uscita, 1 pin di RAS, 1 pin di CAS, 1 pin di abilitazio­ne del chip, 1 pin R/$\overbar{W}$ e 2 pin di alimentazione: in totale 20 pin.

La necessità di diminuire il numero dei piedini utilizzando il multiplexing degli indiriz­zi rende più complesse le procedure di lettura e scrittura della memoria: occorre infatti fornire l'indirizzo in due fasi successive, attivando dapprima il segnale di RAS e quindi quello di CAS.



Questo fatto, insieme alla necessità di attivare periodicamente il rinfresco di tutte le celle, determina un aumento del tempo medio di accesso.

Le DRAM sono pertanto più lente delle SRAM e queste ultime vengono preferite nelle applicazioni in cui tale parametro è fondamentale, ad esempio nelle schede di controllo industriale e nelle memorie cache dei computer.

Per contro, le DRAM hanno dimensioni, consumi e costo per bit nettamente inferiori alle SRAM e vengono preferite quando è necessario ridurre i costi e le dimensioni, ad esem­pio nella memoria di sistema degli elaboratori di dati.