Memoria RAM

La **memoria de acceso aleatorio** se utiliza como memoria de trabajo para el sistema operativo, los programas y la mayoría del software. Es allí donde se cargan todas las instrucciones que ejecutan el procesador y otras unidades de cómputo. Se denominan «*de acceso aleatorio*» porque se puede leer o escribir en una posición de memoria con un tiempo de espera igual para cualquier posición, no siendo necesario seguir un orden para acceder a la información de la manera más rápida posible. Durante el encendido del computador, la rutina [POST](http://es.wikipedia.org/wiki/POST) verifica que los módulos de memoria RAM estén conectados de manera correcta. En el caso que no existan o no se detecten los módulos, la mayoría de tarjetas madres emiten una serie de pitidos que indican la ausencia de memoria principal. Terminado ese proceso, la memoria [BIOS](http://es.wikipedia.org/wiki/BIOS) puede realizar un test básico sobre la memoria RAM indicando fallos mayores en la misma.

Relación con el resto del sistema

Dentro de la [jerarquía de memoria](http://es.wikipedia.org/wiki/Jerarqu%C3%ADa_de_memoria) la RAM se encuentra en un nivel después de los registros del procesador y de las cachés en cuanto a velocidad. Los módulos de memoria se conectan eléctricamente a un [controlador de memoria](http://es.wikipedia.org/wiki/Controlador_de_memoria) que gestiona las señales entrantes y salientes de los integrados DRAM. Las señales son de tres tipos: direccionamiento, datos y señales de control. En el módulo de memoria esas señales están divididas en dos buses y un conjunto misceláneo de líneas de control y alimentación, Entre todas forman el **bus de memoria** que conecta la RAM con su controlador:

* **Bus de datos**: Son las líneas que llevan información entre los integrados y el controlador. Por lo general están agrupados en octetos siendo de 8,16,32 y 64 bits, cantidad que debe igualar el ancho del bus de datos del procesador. En el pasado, algunos formatos de modulo, no tenían un ancho de bus igual al del procesador.En ese caso había que montar módulos en pares o en situaciones extremas, de a 4 módulos, para completar lo que se denominaba **banco de memoria**, de otro modo el sistema no funciona. Esa fue la principal razón para aumentar el número de pines en los módulos, igualando al ancho de bus de procesadores como el [Pentium](http://es.wikipedia.org/wiki/Pentium) a 64 bits, a principios de los 90.
* **Bus de direcciones**: Es un bus en el cual se colocan las direcciones de memoria a las que se requiere acceder. No es igual al bus de direcciones del resto del sistema, ya que está multiplexado de manera que la dirección se envía en dos etapas.Para ello el controlador realiza temporizaciones y usa las líneas de control. En cada estándar de [módulo](http://es.wikipedia.org/wiki/Memoria_ram#M.C3.B3dulos_de_memoria_RAM) se establece un tamaño máximo en bits de este bus, estableciendo un límite teórico de la capacidad máxima por módulo.
* **Señales misceláneas**: Entre las que están las de la alimentación (Vdd, Vss) que se encargan de entregar potencia a los integrados. Están las líneas de comunicación para el integrado de [presencia](http://es.wikipedia.org/wiki/Serial_Presence_Detect) que sirve para identificar cada módulo. Están las líneas de control entre las que se encuentran las llamadas RAS (row address strobe) y CAS (column address strobe) que controlan el bus de direcciones, por último están las señales de reloj en las memorias sincrónicas SDRAM.

Algunos controladores de memoria en sistemas como PC y servidores se encuentran embebidos en el llamado ["North Bridge"](http://es.wikipedia.org/wiki/Puente_norte) o*"Puente Norte"* de la placa base. Otros sistemas incluyen el controlador dentro del mismo procesador (en el caso de los procesadores desde [AMD Athlon 64](http://es.wikipedia.org/wiki/AMD_Athlon_64) e [Intel Core i7](http://es.wikipedia.org/wiki/Intel_Core_i7) y posteriores). En la mayoría de los casos el tipo de memoria que puede manejar el sistema está limitado por los sockets para RAM instalados en la placa base, a pesar que los controladores de memoria en muchos casos son capaces de conectarse con tecnologías de memoria distintas.

Una característica especial de algunos controladores de memoria, es el manejo de la tecnología canal doble ([Dual Channel](http://es.wikipedia.org/wiki/Dual_Channel)), donde el controlador maneja bancos de memoria de 128 bits, siendo capaz de entregar los datos de manera intercalada, optando por uno u otro canal, reduciendo las latencias vistas por el procesador. La mejora en el desempeño es variable y depende de la configuración y uso del equipo. Esta característica ha promovido la modificación de los controladores de memoria, resultando en la aparición de nuevos chipsets (la serie 865 y 875 de Intel) o de nuevos zócalos de procesador en los AMD (el 939 con canal doble , reemplazo el 754 de canal sencillo). Los equipos de gama media y alta por lo general se fabrican basados en *chipsets* o zócalos que soportan doble canal o superior, como en el caso del zócalo (o socket, en inglés) 1366 de Intel, que usaba un triple canal de memoria, o su nuevo LGA 2011 que usa cuádruple canal.

Detección y corrección de errores

Existen dos clases de errores en los sistemas de memoria, las fallas *(Hard fails)* que son daños en el hardware y los errores *(soft errors)* provocados por causas fortuitas. Los primeros son relativamente fáciles de detectar (en algunas condiciones el diagnóstico es equivocado), los segundos al ser resultado de eventos aleatorios, son más difíciles de hallar. En la actualidad la confiabilidad de las memorias RAM frente a los errores, es suficientemente alta como para no realizar verificación sobre los datos almacenados, por lo menos para aplicaciones de oficina y caseras. En los usos más críticos, se aplican técnicas de corrección y detección de errores basadas en diferentes estrategias:

* La técnica del [**bit de paridad**](http://es.wikipedia.org/wiki/Bit_de_paridad) consiste en guardar un bit adicional por cada byte de datos y en la lectura se comprueba si el número de unos es par *(paridad par)* o impar *(paridad impar*), detectándose así el error.
* Una técnica mejor es la que usa [**ECC**](http://es.wikipedia.org/w/index.php?title=ECC&action=edit&redlink=1), que permite detectar errores de 1 a 4 bits y corregir errores que afecten a un sólo bit. Esta técnica se usa sólo en sistemas que requieren alta fiabilidad.

Por lo general los sistemas con cualquier tipo de protección contra errores tiene un costo más alto, y sufren de pequeñas penalizaciones en desempeño, con respecto a los sistemas sin protección. Para tener un sistema con ECC o paridad, el [chipset](http://es.wikipedia.org/wiki/Chipset) y las memorias deben tener soporte para esas tecnologías. La mayoría de placas base no poseen dicho soporte.

Para los fallos de memoria se pueden utilizar herramientas de software especializadas que realizan pruebas sobre los módulos de memoria RAM. Entre estos programas uno de los más conocidos es la aplicación [Memtest86+](http://es.wikipedia.org/wiki/Memtest86%2B) que detecta fallos de memoria.